

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Masahito GOTOH et al. Serial No.: Currently unknown Filing Date: Concurrently herewith For: ACTIVE MATRIX SUBSTRATE AND DISPLAY DEVICE	
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--

TRANSMITTAL OF PRIORITY DOCUMENTS

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2002-318514** filed **October 31, 2002**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: October 27, 2003


Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200
Facsimile: (703) 385-5080

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月31日
Date of Application:

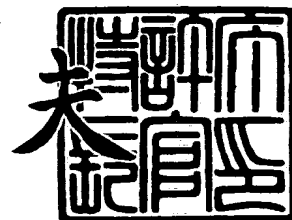
出願番号 特願2002-318514
Application Number:
[ST. 10/C]: [JP2002-318514]

出願人 シャープ株式会社
Applicant(s):

2003年 8月29日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3070782



【書類名】 特許願

【整理番号】 02J03052

【提出日】 平成14年10月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/136
H01L 29/786

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 後藤 政仁

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 上田 徹

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 樋上 佳則

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100101683

【弁理士】

【氏名又は名称】 奥田 誠司

【手数料の表示】

【予納台帳番号】 082969

【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208454

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板および表示装置

【特許請求の範囲】

【請求項 1】 基板上に複数の半導体素子が形成されたアクティブマトリクス基板であって、前記複数の半導体素子のそれぞれが形成された半導体素子部が、
基板上に形成された補助容量と、
前記補助容量上に形成された第 1 絶縁層と、
前記第 1 絶縁層を介して前記補助容量上に形成された半導体層と、
前記半導体層上に形成されたゲート絶縁層と、
前記ゲート絶縁層を介して前記半導体層上に形成されたゲート電極を含むゲート電極層と、
前記ゲート電極層および前記半導体層を覆う第 2 絶縁層と、
前記第 2 絶縁層を介して前記半導体層上に形成され、少なくとも前記半導体層のチャンネル領域を覆う第 1 遮光層と、
前記第 1 遮光層上に形成された第 3 絶縁層と、
前記第 3 絶縁層上に形成されたソース電極およびドレイン電極を含むソース電極層と、
前記ソース電極層上に形成された第 4 絶縁層と、
前記第 4 絶縁層上に形成され、前記ドレイン電極に電氣的に接続された画素電極とを備え、
前記第 1 遮光層は導電性を有し、前記補助容量を構成する一对の電極の一方と電氣的に接続されるとともに、前記ドレイン電極と電氣的に接続されたドレイン側遮光部を有する、アクティブマトリクス基板。

【請求項 2】 前記第 1 遮光層は、前記ソース電極と電氣的に接続されたソース側遮光部をさらに有する、請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】 前記第 1 遮光層は、前記ソース電極および前記ドレイン電極のいずれにも電氣的に接続されていない中間遮光部をさらに備え、前記中間遮光部は前記チャンネル領域上に配置されている、請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】 前記中間遮光部が一定電位に保持される、請求項 3 に記載のアクティブマトリクス基板。

【請求項 5】 前記第 1 遮光層は、前記ソース電極に接続されたソース側遮光部をさらに有し、

前記第 1 および第 2 絶縁層は前記第 1 遮光層と前記補助容量の前記一方の電極とを接続するための第 1 コンタクトホールを有し、前記第 2 絶縁層は、前記ソース側遮光部と前記半導体層のソース領域とを接続する第 2 コンタクトホールをさらに有し、

前記第 3 絶縁層は前記ドレイン電極と前記ドレイン側遮光部とを接続する第 3 コンタクトホールと、前記ソース電極と前記ソース側遮光部とを接続する第 4 コンタクトホールとを有し、

前記第 1 コンタクトホールと前記第 3 コンタクトホールとが互いに重なり、前記第 2 コンタクトホールと前記第 4 コンタクトホールとが互いに重なるように配置されている、請求項 1 から 4 のいずれかに記載のアクティブマトリクス基板。

【請求項 6】 前記半導体層がチャネル領域の両側に LDD 領域を有し、前記第 1 遮光層は、少なくとも前記チャネル領域および前記 LDD 領域上に配置されている、請求項 1 から 5 のいずれかに記載のアクティブマトリクス基板。

【請求項 7】 前記第 1 遮光層は、前記ソース電極および前記ドレイン電極のいずれにも電氣的に接続されていない中間遮光部をさらに有し、前記中間遮光部は前記チャネル領域および前記 LDD 領域上に配置されている、請求項 6 に記載のアクティブマトリクス基板。

【請求項 8】 前記中間遮光部が一定電位に保持される、請求項 7 に記載のアクティブマトリクス基板。

【請求項 9】 前記ソース電極層と前記第 4 電極層との間に、
前記ソース電極層を覆う第 5 絶縁層と、

前記第 5 絶縁層を介して少なくとも前記ソース電極と前記ドレイン電極との間隙上に形成された第 2 遮光層をさらに有する、請求項 1 から 8 のいずれに記載のアクティブマトリクス基板。

【請求項 10】 請求項 1 から 9 のいずれかに記載のアクティブマトリクス基

板と表示媒体層とを備えた表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示装置および表示装置に用いられるアクティブマトリクス基板に関する。

【0 0 0 2】

【従来の技術】

薄型で低消費電力である液晶表示装置のうち、画素毎にスイッチング素子を備えたアクティブマトリクス型液晶表示装置は、表示のコントラスト比が高く、応答速度が速いなど高性能であるため、パーソナルコンピュータなどの表示装置や携帯用ＴＶを始め、種々の用途に使用され、近年その市場規模が急速に拡大している。その中でも、スイッチング素子として薄膜トランジスタ（以下ＴＦＴと略す）を備えたもの（以下、「ＴＦＴ型液晶表示装置」ということがある。）が広く用いられている。

【0 0 0 3】

なお、本明細書において、アクティブマトリクス型液晶表示装置を構成する基板のうち、上記スイッチング素子が形成されている基板を「アクティブマトリクス基板」という、スイッチング素子がＴＦＴのものを「ＴＦＴ基板」ということにする。アクティブマトリクス型液晶表示装置は、典型的には、アクティブマトリクス基板と対向基板とこれらの間に設けられた液晶層とを備える。アクティブマトリクス基板に形成された画素電極と、対向基板に形成された対向電極（共通電極）とによって液晶層に電圧を印加し、液晶層の配向状態を変化させ、液晶層を通過する光の偏光状態を制御することによって表示を行う。なお、アクティブマトリクス基板に画素電極（表示信号電極）と対向電極とを備えたＩＰＳモードの液晶表示装置もある。

【0 0 0 4】

ＴＦＴ型液晶表示装置の技術開発課題として、高輝度化（高開口率化）、高精細化とともに、耐光性の向上が挙げられる。これは、ＴＦＴを構成する半導体層

(シリコン層)に強い光が入射すると、リーク電流が発生し、表示品位が低下するためである。TFT型液晶表示装置のうち、特にプロジェクション用の表示装置の液晶パネルには、高輝度化および高精細化の要請が強く、且つ、直視型表示装置の液晶パネルよりも強い光が照射されるので、耐光性に対する要求も厳しい。

【0005】

画素の開口率を高くし、かつTFTの半導体層に対する遮光性を高めたTFT型液晶表示装置が、例えば、特許文献1に開示されている。特許文献1に開示されているTFT基板は、補助容量をTFT部（TFT基板のTFTが形成されている部分）にTFTの半導体層と重なるように配置し、補助容量の電極を遮光層として利用している。

【0006】

【特許文献1】

特開 2001-66638号公報

【0007】

【発明が解決しようとする課題】

しかしながら、上記特許文献1に開示されている構成においては、TFTの下方（基板側）から入射する光は補助容量電極によって十分に遮光することができるものの、TFTの上方もしくは横から入射する光を十分に遮光することができないという問題がある。

【0008】

これは、特許文献1の図1に示されているように、TFTの上方から遮光は、ゲート電極上に層間絶縁膜を介して配置されたソース電極層（ソース電極、ソース配線およびドレイン電極を含む）およびその上に配置された上層遮光層を利用していることに起因する。ソース配線が他の導電層との間の寄生容量を形成すると、ソース配線を伝わる表示信号（表示信号電圧）が影響を受ける。特に、ソース配線とゲート配線との間の寄生容量が大きいと、液晶表示装置においてはクロストークやゴーストなどと呼ばれる現象が発生し、表示品位を低下させる恐れがある。そのため、特許文献1に記載されている構成を採用する場合には、ソース

電極層とゲート電極層との間に設けられる層間絶縁膜の厚さを十分に厚くする必要があり、その結果、ソース電極層と半導体層との間隙が広くなり、その間隙から光が半導体層に入射することになる。

【0009】

また、特許公報1の図6には、最下層に形成された補助容量を構成する一方の電極と半導体層のドレイン領域とを接続する引き出し電極をゲート電極と同じ導電層で形成した構成が開示されている。この構成によると、引き出し電極はゲート電極と分離して形成される必要があるので、ゲート電極と引き出し電極との間隙から半導体層に光が入射してしまう。

【0010】

液晶表示装置を例に従来のアクティブマトリクス型表示装置における問題を説明したが、上記の問題は液晶表示装置に限られず、例えば電気泳動型表示装置など自発光型でない他の表示装置においても問題となる。

【0011】

本発明は、上記の諸点に鑑みてなされたもので、画素ごとに補助容量を備えたアクティブマトリクス型表示装置において、開口率の低下を抑制しつつ、半導体層に入射する光が効果的に遮光されたアクティブマトリクス型表示装置およびそれに用いられるアクティブマトリクス基板を提供することを目的としている。

【0012】

【課題を解決するための手段】

本発明のアクティブマトリクス基板は、基板上に複数の半導体素子が形成されたアクティブマトリクス基板であって、前記複数の半導体素子のそれぞれが形成された半導体素子部が、基板上に形成された補助容量と、前記補助容量上に形成された第1絶縁層と、前記第1絶縁層を介して前記補助容量上に形成された半導体層と、前記半導体層上に形成されたゲート絶縁層と、前記ゲート絶縁層を介して前記半導体層上に形成されたゲート電極を含むゲート電極層と、前記ゲート電極層および前記半導体層を覆う第2絶縁層と、前記第2絶縁層を介して前記半導体層上に形成され、少なくとも前記半導体層のチャネル領域を覆う第1遮光層と、前記第1遮光層上に形成された第3絶縁層と、前記第3絶縁層上に形成された

ソース電極およびドレイン電極を含むソース電極層と、前記ソース電極層上に形成された第4絶縁層と、前記第4絶縁層上に形成され、前記ドレイン電極に電氣的に接続された画素電極とを備え、前記第1遮光層は導電性を有し、前記補助容量を構成する一対の電極の一方と電氣的に接続されるとともに、前記ドレイン電極と電氣的に接続されたドレイン側遮光部を有し、そのことによって上記目的が達成される。

【0013】

ある好ましい実施形態において、前記第1遮光層は、前記ソース電極と電氣的に接続されたソース側遮光部をさらに有する。

【0014】

ある好ましい実施形態において、前記第1遮光層は、前記ソース電極および前記ドレイン電極のいずれにも電氣的に接続されていない中間遮光部をさらに備え、前記中間遮光部は前記チャネル領域上に配置されている。

【0015】

ある好ましい実施形態において、前記中間遮光部が一定電位に保持される。

【0016】

ある好ましい実施形態において、前記第1遮光層は、前記ソース電極に接続されたソース側遮光部をさらに有し、前記第1および第2絶縁層は前記第1遮光層と前記補助容量の前記一方の電極とを接続するための第1コンタクトホールを有し、前記第2絶縁層は、前記ソース側遮光部と前記半導体層のソース領域とを接続する第2コンタクトホールをさらに有し、前記第3絶縁層は前記ドレイン電極と前記ドレイン側遮光部とを接続する第3コンタクトホールと、前記ソース電極と前記ソース側遮光部とを接続する第4コンタクトホールとを有し、前記第1コンタクトホールと前記第3コンタクトホールとが互いに重なり、前記第2コンタクトホールと前記第4コンタクトホールとが互いに重なるように配置されている。

【0017】

ある好ましい実施形態において、前記半導体層がチャネル領域の両側にLDD領域を有し、前記第1遮光層は、少なくとも前記チャネル領域および前記LDD

領域上に配置されている。

【0018】

ある好ましい実施形態において、前記第1遮光層は、前記ソース電極および前記ドレイン電極のいずれにも電氣的に接続されていない中間遮光部をさらに有し、前記中間遮光部は前記チャネル領域および前記LDD領域上に配置されている。

【0019】

ある好ましい実施形態において、前記中間遮光部が一定電位に保持される。

【0020】

ある好ましい実施形態において、前記ソース電極層と前記第4電極層との間に、前記ソース電極層を覆う第5絶縁層と、前記第5絶縁層を介して少なくとも前記ソース電極と前記ドレイン電極との間隙上に形成された第2遮光層をさらに有する。

【0021】

本発明の表示装置は、上記のいずれのアクティブマトリクス基板と表示媒体層とを備えることを特徴とする。本発明の表示装置は、表示媒体層として液晶層や電気泳動層などを備える非自発光型の表示装置である。

【0022】

【発明の実施の形態】

以下、本発明の実施形態による表示装置の構造、特にアクティブマトリクス基板の構造およびその製造方法を説明する。

【0023】

以下では、アクティブマトリクス基板上に形成された画素電極と液晶層を介してこれに対向する対向電極とを備える典型的なアクティブマトリクス型液晶表示装置を例に本発明の実施形態を説明するが、本発明はIPSモードなどの他の電極構成を有する液晶表示装置を始め、電気泳動表示装置など、非自発光型の表示装置に広く適用することができる。

【0024】

本実施形態の液晶表示装置は、画素電極に対応してTFT（半導体素子）を備えるTFT基板（アクティブマトリクス基板）と、液晶層（表示媒体層）と、液晶層を介して画素電極に対向する対向電極を備える対向基板とを有する。TFT基板以外の構成は公知の構成を広く利用できるので、以下では、TFT基板の構成と製造方法を説明する。

【0025】

本発明の実施形態によるTFT基板は、基板（例えばガラス基板などの透明基板）上に補助容量が形成されており、補助容量の上層に第1絶縁層を介してTFTの半導体層が形成されている。補助容量を構成する補助容量誘電体層を介して互いに対向する一対の補助容量電極がTFTの半導体層に下側から入射する光を遮断する下部遮光層として機能する。補助容量の電極を下部遮光層として利用することにより、上述した従来のアクティブマトリクス基板と同様に、高い画素開口率を得ることができる。

【0026】

本発明の実施形態によるTFT基板は、半導体層上に形成されたゲート絶縁層と、ゲート絶縁層を介して半導体層上に形成されたゲート電極を含むゲート電極層（ゲート配線をさらに含む単一の導電層）と、ゲート電極層および半導体層を覆う第2絶縁層と、第2絶縁層を介して半導体層上に形成され、少なくとも半導体層のチャネル領域を覆う第1遮光層を有する。さらに、第1遮光層上に形成された第3絶縁層と、第3絶縁層上に形成されたソース電極およびドレイン電極を含むソース電極層（ソース配線をさらに含む単一の導電層。）と、ソース電極層上に形成された第4絶縁層と、第4絶縁層上に形成されドレイン電極に電氣的に接続された画素電極とを備える。

【0027】

ここで、第1遮光層は導電性を有し、補助容量を構成する一対の電極の一方と電氣的に接続されるとともに、ドレイン電極と電氣的に接続されたドレイン側遮光部を有する。すなわち、第1遮光層は、ゲート電極層とソース電極層との間に設けられており、少なくとも半導体層のチャネル領域を遮光するとともに、その一部であるドレイン側遮光部は、半導体層のドレイン領域と電氣的に接続されて

いる。ドレイン側遮光部はドレイン領域に直接接続（接触）するように形成されても良いし、画素電極を介してドレイン電極に電氣的に接続されても良い。

【0028】

第1遮光層は、ゲート電極層と別の層で形成されており、ゲート電極を覆うように形成することができるので、半導体層のチャネル領域に上方から入射する光を効果的に遮断することができる。また、半導体層のドレイン領域と補助容量電極との電氣的な接続およびドレイン領域とドレイン電極との電氣的な接続を第1遮光層を介して行うことによって、これらの電氣的な接続を行うためのコンタクトホールを比較的浅くできるので、コンタクトホール部における断線（導電層が段差で分断される）の発生を抑制することができる利点も得られる。

【0029】

さらに、第1遮光層は、ソース電極層と別の層で形成されており、第1遮光層とゲート配線との間の寄生容量は、ソース配線とゲート配線との間の寄生容量程表示品位に影響せず、また、寄生容量の影響もそれぞれの画素に個別に影響するだけなので、第1遮光層とゲート電極層との間に設けられる層間絶縁層の厚さを特許文献1に記載されているソース電極層とゲート電極層との間に設けられる層間絶縁膜の厚さよりも薄くすることができる。すなわち、第1遮光層を従来よりも半導体層の近くに設けることが可能となり、その結果、半導体層（特にチャネル領域）に入射する光をより効果的に遮光することができる。

【0030】

第1遮光層は、ソース電極と電氣的に接続されたソース側遮光部をさらに有してもよい。また、第1遮光層は、ソース電極およびドレイン電極のいずれにも電氣的に接続されていない中間遮光部をさらに備えてもよい。このとき、中間遮光部はチャネル領域上に配置される構成を採用できる。中間遮光部は、ソース電極およびドレイン電極と電氣的に独立なので、一定電位に保持され得る。

【0031】

半導体層がチャネル領域の両側にLDD領域を有する構成を採用する場合、第1遮光層が、少なくともチャネル領域およびLDD領域上に配置されていることが好ましい。第1遮光層は、ドレイン側遮光部に加えて、ソース側遮光部および

中間遮光部を有しても良いのは、上記と同様である。

【0032】

本発明の実施形態によるアクティブマトリクス基板を備える表示パネルは、高開口率で、かつ遮光性に優れるので、特に、投影型表示装置など強力な光が表示パネルに照射される表示装置に好適に用いられる。

【0033】

(実施形態1)

図1、図2および図3を参照しながら本発明による実施形態1のTFT基板のTFT部の構造およびその製造方法を説明する。TFT基板の他の部分の構造を公知のTFT基板と同様であってよいので、ここでは説明を省略する。

【0034】

図1はTFT基板のTFT部10の構造を模式的に示す断面図であり、図2(a)～(d)は、TFT部10の製造工程を説明するための断面図であり、図3(a)～(d)は、TFT部10の製造工程を説明するための平面図である。図1および図2は、図3中のA-A'線に沿った断面図に対応する。

【0035】

図1に示したように、TFT部10は、透明基板（例えば、ガラス基板）11上に形成された第1補助容量電極12、補助容量誘電体層13および第2補助容量電極14とを有しており、これらが互いに重なり合う領域が補助容量を構成している。

【0036】

この補助容量を覆うように形成された第1絶縁層15上にTFTの半導体層16が形成されている。半導体層16は、ソース領域16aおよびドレイン領域16bとこれらの間に形成されたチャネル領域16cとを有している。半導体層16を覆うように形成されたゲート絶縁層17を介して、チャネル領域16c上にゲート電極18が形成されている。ゲート電極18は、ゲート配線（走査線、不図示）と同一の導電層（ゲート電極層）から形成されている。

【0037】

ゲート電極18を含むゲート電極層を覆うように第2絶縁層19が形成されて

おり、この第2絶縁層19上に第1遮光層が形成されている。図1に示した第1遮光層は、ソース側遮光部21aとド레인側遮光部21bとに分割されており、ソース側遮光部21aが半導体層16のチャンネル領域16cを含む領域を覆うように形成されている。

【0038】

ソース側遮光部21aは、第2絶縁層19に形成された第1ソースコンタクトホール20a内で半導体層16のソース領域16aに接続されている。一方、ド레인側遮光部21bは、第2絶縁層19およびゲート絶縁層17に形成された第1ド레인コンタクトホール20b内で半導体層16のド레인領域16bに接続されている。また、ド레인側遮光部21bは、第2絶縁層19、ゲート絶縁層17および第1絶縁層15に形成された補助容量コンタクトホール20c内で第1補助容量電極12に接続されている。コンタクトホール20aおよび20bは、チャンネル領域16cに側方から入射する光を遮光するようにも機能する。

【0039】

この第1遮光層を覆うように第3絶縁層22が形成されており、第3絶縁層22上にソース電極24aおよびド레인電極24bが形成されている。ソース電極24aおよびド레인電極24bは、ソース配線（信号線、不図示）と同一の導電層（ソース電極層）から形成されている。ソース電極24aは、第3絶縁層22に形成された第2ソースコンタクトホール23a内でソース側遮光部21aと接続されており、ド레인電極24bは、第3絶縁層22に形成された第2ド레인コンタクトホール23b内でド레인側遮光部21bと接続されている。

【0040】

ソース電極24aおよびド레인電極24b上に第4絶縁層27が形成されており、第4絶縁層27上に画素電極29が形成されている。画素電極29は、第4絶縁層27を貫通する画素電極コンタクトホール28内でド레인電極24bに接続されている。画素電極29は典型的には透明導電層で形成される。

【0041】

なお、図示した実施形態では、ソース電極24aおよびド레인電極24bを含むソース電極層と第4絶縁層27との間にソース電極層を覆う第5絶縁層25

と、第5絶縁層25を介して少なくともソース電極24aとドレイン電極24bとの間隙上に形成された第2遮光層（上部遮光層）26をさらに有する。この第2遮光層26を設けることによって、半導体層16のチャネル領域16cに入射する光の量を低減することができる。

【0042】

次に、図2(a)～(d)および図3(a)～(d)を参照しながら、TFT部10を備えるTFT基板の製造方法の例を説明する。

【0043】

まず、図2(a)に示すように、透明基板11上にCVD法にてP元素を高濃度に含んだポリシリコン膜を100nm堆積し、一般的なフォトリソグラフィ工程およびドライエッチング工程により所定の形状にパターンニングして、第1補助容量電極12を形成する。

【0044】

次に、透明基板11および第1補助容量電極12上のほぼ全面に、CVD法にて10nmから100nmの範囲の膜厚の酸化シリコン膜を形成する。この酸化シリコン膜は補助容量誘電体層13となる。補助容量誘電体層13の膜厚は薄いほど補助容量容量は大きくなるが、薄すぎると逆にリーク電流の増大や絶縁破壊が起きる可能性が高くなる。ここでは補助容量容量やリーク電流を考慮して膜厚を50nmとする。補助容量誘電体層13を形成した後、この補助容量誘電体層13の膜質向上の為に900℃以上の温度にてアニールを行う。このとき第1補助容量電極12がSiを主成分とする膜により形成されているため、アニールを行う雰囲気の中に酸素もしくは塩素ガスを含ませることによりアニールと同時に熱酸化を行うことができ、これによりリーク電流の少ない良質な補助容量誘電体層13の形成が可能となる。

【0045】

次に、補助容量誘電体層13上のほぼ全面に50nmのP元素を高濃度に含んだポリシリコン膜および100nmのタングステンシリサイドを連続して成膜する。このタングステンシリサイドおよびポリシリコン膜を一般的なフォトリソグラフィ工程およびドライエッチング工程により所定の形状に形成して第2補助容

量電極 14 を形成する。第 2 補助容量電極 14 は金属であるタングステンを含む層を有するので、TFT の下部遮光層としての機能を合わせ持っている。また第 2 補助容量電極 14 は補助容量配線としての機能を持たせるために、配線状もしくは格子状に形成し外部からの電位を直接印加できるようにしてもよい。

【0046】

第 2 補助容量電極 14 と第 1 補助容量電極 12 および補助容量誘電体層 13 とによりこの画素の補助容量が形成されることになる。また、第 2 補助容量電極 14 はタングステンシリサイド／ポリシリコン膜以外の遮光性の有る金属膜にて形成してもよい。

【0047】

次に、図 2 (b) および図 3 (a) に示すように、CVD 法にて第 1 絶縁層 15 となる酸化シリコン膜を約 300 nm 形成し、さらにその上に連続して非晶質のシリコン膜を約 50 nm 形成したのち、この非晶質シリコン膜を結晶化させて結晶質シリコン (半導体層) 16 を形成する。非晶質シリコン膜を結晶化させる方法としては、600℃以上の温度で加熱する方法や、エキシマレーザーの照射による方法などがある。また第 1 絶縁層 15 は酸化シリコン膜のみならず、窒化シリコン膜や酸化窒化シリコン膜、あるいはその複合膜により形成しても良い。

【0048】

結晶質シリコン 16 をフォトリソグラフィ工程およびドライエッチング工程により所定の形状にパターニングした後、ゲート絶縁層 17 となる酸化シリコン膜を約 80 nm 形成し、さらにその上に P 元素を高濃度に含んだポリシリコン膜を 400 nm 堆積し、フォトリソグラフィ工程およびドライエッチング工程により所定の形状にパターニングしてゲート電極 18 を形成する。この工程でゲート配線を同時に形成する。

【0049】

このとき結晶質シリコン 16 のうち、少なくとも後にチャネル領域 16c となる部分は、第 1 補助容量電極 12 もしくは第 2 補助容量電極 14 のいずれかに対し、真上から見たときに重なるように形成する。これは第 1 補助容量電極 12 もしくは第 2 補助容量電極 14 を TFT の下部遮光層として利用するためである。

【0050】

次に、ゲート電極18をマスクとして用いて、結晶質シリコン16中に 2×10^{15} 原子/cm²程度の燐イオンを注入してソース領域16aおよびドレイン領域16bを形成する。注入されなかった部分はチャネル領域16cとなる。

【0051】

次に、図2(c)および図3(b)に示すように、ゲート電極18およびゲート絶縁層17上に第2絶縁層19となる酸化シリコン膜を200nmの膜厚で形成した後、一般的なフォトリソグラフィ工程およびエッチング工程により、ソース領域16aを露出するように第1ソースコンタクトホール20aを形成すると同時にドレイン領域16bを露出するように第1ドレインコンタクトホール20bを形成する。また、第1補助容量電極12に到達する補助容量コンタクトホール20cを形成する。

【0052】

この後、基板のほぼ全面にP元素を高濃度に含んだポリシリコン膜を100nmおよびタンダステンシリサイド膜100nmを連続して成膜し、一般的なフォトリソグラフィ工程およびドライエッチング工程により所定の形状にパターンニングして、第1ソースコンタクトホール20aを通じてソース領域16aと接続するソース側遮光層21aおよび第1ドレインコンタクトホール20bを通じてドレイン領域16bと接続するドレイン側遮光層21bを形成する。このときソース側遮光層21aが少なくともチャネル領域16c上を覆うように形成する。

【0053】

このような構成とすることによって、チャネル領域16cの近くに遮光性の膜が形成され、従来不充分であった側面よりチャネル領域16cに入射する光に対する遮光性が向上し、表示品位を向上することができる。

【0054】

さらに、ドレイン側遮光層21bは、ドレイン領域16bと接続すると同時に、補助容量コンタクトホール20cを通じて第1補助容量電極12とも接続している。これにより、TF Tの下層に設けられた補助容量と接続するためのコンタクトホールが深くなりすぎずにTF Tのドレイン領域16bと接続することがで

きるため、ドライエッチング工程のオーバーエッチングによる、つきぬけやコンタクトの段切れなどの工程不良に対して十分なマージンを取ることが可能となることから、TFT基板の生産性および歩留りの向上に寄与する。

【0055】

次に、図2(d)および図3(c)に示すように、基板上のほぼ全面に、CVD法を用いて第3絶縁層22となる酸化シリコン膜を500nmの膜厚で形成し、次に上記ソース領域16aおよびドレイン領域16b中に注入した燐イオンの活性化のために、窒素雰囲気中で950℃、30分間の熱処理を施したのち、一般的なフォトリソグラフィ工程とウェットエッチング工程やドライエッチング工程により、ゲート絶縁層17および第2絶縁層19および第3絶縁層22に、ソース側遮光層21aおよびドレイン側遮光層21bに到達する第2ソースコンタクトホール23aおよび第2ドレインコンタクトホール23bをそれぞれ形成する。第3絶縁層22は酸化シリコン膜のみならず、窒化シリコン膜や酸化窒化シリコン膜、あるいはその複合膜により形成しても良い。

【0056】

次に、TiW(100nm)/AlSi(400nm)/TiW(100nm)からなる多層の導電膜を形成し、一般的なフォトリソグラフィ工程とドライエッチング工程により、ソース電極24aおよびドレイン電極24bを形成する。ソース電極24aは、第2ソースコンタクトホール23aを通してソース側遮光層21aおよびソース領域16aと接続される。また、ドレイン電極24bは、第2ドレインコンタクトホール23bを通してドレイン側遮光層21b、ドレイン領域16aおよび第1補助容量電極12と接続される。

【0057】

次に、図1に示すように、第5絶縁層25となる酸化シリコン膜を約300nm形成した後、TiW膜を120nmの膜厚で形成し、一般的なフォトリソグラフィ工程とドライエッチング工程により上部遮光層26を形成する。この上部遮光層26はTFTの上方からの光を遮断する機能を有する。なお、第5絶縁層25は酸化シリコン膜のみならず、窒化シリコン膜や酸化窒化シリコン膜、あるいはその複合膜により形成しても良い。

【0058】

次に、第4絶縁層27となる酸化シリコン膜を約300nm形成した後、図1および図3(d)に示すように、この第4絶縁層27に一般的なフォトリソグラフィ工程とウェットエッチング工程やドライエッチング工程によりドレイン電極24bに到達する画素電極コンタクトホール28を形成する。最後に、画素電極29となるITO膜を100nm形成し、一般的なフォトリソグラフィ工程とウェットエッチング工程やドライエッチング工程により画素電極29を形成する。画素電極29はドレイン電極24bと接続されており、また第1補助容量電極12とも電氣的に接続されることになる。なお、第4絶縁層27は酸化シリコン膜のみならず、窒化シリコン膜や酸化窒化シリコン膜、あるいはその複合膜により形成しても良い。

【0059】

以上のような工程を実施することによって、図1に示したTF T部を有するTF T基板が製造される。なお、TF T部を構成する各構成要素の材料、膜厚および形成方法は、上記の例に限られず公知の材料および形成方法を用いることができ、膜厚などのサイズはTF T基板の用途などに応じて適宜変更される。

【0060】

以下、図4から図7を参照しながら、実施形態1による他のTF T基板の構造を説明する。以下の図面において、図1～図3と実質的に同じ構成要素は共通の参照符号で示し、その説明を省略する。

【0061】

図4に実施形態1による他のTF T基板のTF T部の断面構造を模式的に示す。このTF T部は、第1遮光層が有するドレイン側遮光部21bがチャネル領域16cを覆うように形成されている点で図1に示したTF T部と異なる。

【0062】

図5に実施形態1によるさらに他のTF T基板のTF T部の断面構造を模式的に示す。第1遮光層がゲート電極18上でソース側遮光部21aとドレイン側遮光部21bとに分断されている点で、図1に示したTF T部と異なる。

【0063】

ソース側遮光部 21a とドレイン側遮光部 21b とがそれぞれチャネル領域 16c を部分的に覆っている。なお、ソース側遮光部 21a とドレイン側遮光部 21b との間隙はゲート電極 18 上に位置するので、この間隙を通過する光がチャネル領域 16c に入射することはない。

【0064】

図 6 に実施形態 1 によるさらに他の TFT 基板の TFT 部の断面構造を模式的に示す。第 1 遮光層は、ソース側遮光層 21a およびドレイン側遮光層 21b に電氣的に接続されていない中間遮光部 21c をさらに有し、中間遮光部 21c は、チャネル領域 16c を覆うように配置されている。この中間遮光部 21c は、ソース電極 24a およびドレイン電極 24b と電氣的に独立しているので、例えば、画素領域の外部より一定の電圧を印加することができる。チャネル領域 16c (ゲート電極 18) 上に形成される中間遮光部 21c を一定電圧に維持することによって、半導体層 (ポリシリコン層) にかかる電圧 (電位) を安定化することができるため、TFT 特性が安定になるという利点が得られる。

【0065】

図 7 に実施形態 1 によるさらに他の TFT 基板の TFT 部の断面構造を模式的に示す。この TFT 部においては、第 2 ソースコンタクトホール 23a および第 2 ドレインコンタクトホール 23b を、それぞれ、第 1 ソースコンタクトホール 20a および第 1 ドレインコンタクトホール 20b と重なる位置に形成されている。すなわち、基板の法線方向から見たときに、お互いに重なるように形成されている。

【0066】

このようにコンタクトホールを配置することによって、コンタクトを形成するために必要な領域を小さくすることができ、画素開口率を向上することができる。

【0067】

なお、コンタクトホールを重ねる配置は、図 7 に示した構成に限られず、図 4 から図 6 に示した何れの構成に適用しても同じ効果が得られる。

【0068】

(実施形態 2)

図 8 および図 9 を参照しながら本発明による実施形態 2 の T F T 基板の T F T 部の構造およびその製造方法を説明する。

【0069】

実施形態 2 の T F T 部は、半導体層がソース領域 3 6 a、ドレイン領域 3 6 b、チャネル領域 3 6 c に加えて、チャネル領域 3 6 c の両側に L D D 領域 3 6 d を有する点において図 1 に示した実施形態 1 の T F T 部と異なり、他の構成は実質的に同じなので、図 3 に対応する平面図は省略する。また、実施形態 2 の T F T 基板の製造方法も半導体層に L D D 領域 3 6 d を形成する工程 (図 9 (b)) 以外は実質的に同じであり、図 9 (a) ~ (d) は図 3 (a) ~ (d) にそれぞれ対応する。ここでは説明の重複を避け、半導体層の構成の違いを主に説明する。

【0070】

図 8 に示した T F T 部は、透明基板 (例えば、ガラス基板) 3 1 上に形成された第 1 補助容量電極 3 2、補助容量誘電体層 3 3 および第 2 補助容量電極 3 4 とを有しており、これらが互いに重なり合う領域が補助容量を構成している。

【0071】

この補助容量を覆うように形成された第 1 絶縁層 3 5 上に T F T の半導体層 3 6 が形成されている。半導体層 3 6 は、ソース領域 3 6 a およびドレイン領域 3 6 b とこれらの間に形成されたチャネル領域 3 6 c とを有し、さらに、チャネル領域 3 6 c とソース領域 3 6 a およびドレイン領域 3 6 b との間に L D D 領域 3 6 d を有している。

【0072】

半導体層 3 6 を覆うように形成されたゲート絶縁層 3 7 を介して、チャネル領域 3 6 c 上にゲート電極 3 8 が形成されている。ゲート電極 3 8 は、ゲート配線 (走査線、不図示) と同一の導電層 (ゲート電極層) から形成されている。

【0073】

ゲート電極 3 8 を含むゲート電極層を覆うように第 2 絶縁層 3 9 が形成されており、この第 2 絶縁層 3 9 上に第 1 遮光層が形成されている。第 1 遮光層は、ソ

ース側遮光部 31a とドレイン側遮光部 31b とに分割されており、ソース側遮光部 31a が半導体層 36 のチャネル領域 36c とチャネル領域 36c の両側の LDD 領域 36d を含む領域を覆うように形成されている。

【0074】

ソース側遮光部 31a は、第 2 絶縁層 39 に形成された第 1 ソースコンタクトホール 40a 内で半導体層 36 のソース領域 36a に接続されている。一方、ドレイン側遮光部 31b は、第 2 絶縁層 39 およびゲート絶縁層 37 に形成された第 1 ドレインコンタクトホール 20b 内で半導体層 16 のドレイン領域 16b に接続されている。また、ドレイン側遮光部 31b は、第 2 絶縁層 39、ゲート絶縁層 37 および第 1 絶縁層 35 に形成された補助容量コンタクトホール 40c 内で第 1 補助容量電極 32 に接続されている。コンタクトホール 40a および 40b は、チャネル領域 36c および LDD 領域 36d に側方から入射する光を遮光するようにも機能する。

【0075】

この第 1 遮光層を覆うように第 3 絶縁層 42 が形成されており、第 3 絶縁層 42 上にソース電極 44a およびドレイン電極 44b が形成されている。ソース電極 44a およびドレイン電極 44b は、ソース配線（信号線、不図示）と同一の導電層（ソース電極層）から形成されている。ソース電極 44a は、第 3 絶縁層 42 に形成された第 2 ソースコンタクトホール 43a 内でソース側遮光部 41a と接続されており、ドレイン電極 44b は、第 3 絶縁層 42 に形成された第 2 ドレインコンタクトホール 43b 内でドレイン側遮光部 41b と接続されている。

【0076】

ソース電極 44a およびドレイン電極 44b 上に第 4 絶縁層 47 が形成されており、第 4 絶縁層 47 上に画素電極 49 が形成されている。画素電極 49 は、第 4 絶縁層 47 を貫通する画素電極コンタクトホール 48 内でドレイン電極 44b に接続されている。画素電極 49 は典型的には透明導電層で形成される。

【0077】

なお、図示した実施形態では、ソース電極 44a およびドレイン電極 44b を含むソース電極層と第 4 絶縁層 47 との間にソース電極層を覆う第 5 絶縁層 45

と、第5絶縁層45を介して少なくともソース電極44aとドレイン電極44bとの間隙上に形成された第2遮光層（上部遮光層）46をさらに有する。この第2遮光層46を設けることによって、半導体層46のチャネル領域46cおよびLDD領域46dに入射する光の量を低減することができる。

【0078】

このTFT部は、図9（a）～（d）に模式的に示したように、実施形態1のTFT部10と同様の方法で形成され得る。

【0079】

まず、図9（a）に示すように、実施形態1と同様の工程を実行して、第1補助容量電極32、補助容量誘電体層33および第2補助容量電極34を形成する。

【0080】

その後、図9（b）に示すように、ゲート電極38をマスクとして用いて、結晶質シリコン層（半導体層）36中に 5×10^{13} 原子/cm²程度の磷イオンを注入してLDD領域36dを形成する。さらに一般的なフォトリソグラフィ工程によりゲート電極38およびLDD領域36dの一部を覆い、結晶質シリコン36中に 2×10^{15} 原子/cm²程度の磷イオンを注入してソース領域36aおよびドレイン領域36bを形成する。注入されなかった部分はチャネル領域36cとなる。

【0081】

チャネル領域36cと、ソース領域36aおよびドレイン領域36bとの間にLDD領域36dを設けると、LDD領域36cにより画素TFT特性のOFF電流の低減を図り液晶パネルの表示品位をさらに向上させることが出来る。

【0082】

この後、図9（c）および（d）に示すように、実施形態1と同様の工程を実行することによって、図8に示した実施形態2のTFT部を有するTFT基板が製造される。ただし、ソース側遮光層41aが少なくともチャネル領域36cおよびLDD領域36d上を覆うように形成する。

【0083】

実施形態2のTF T部も、上述のような構成を有するので、チャネル領域36cおよびLDD領域36dの近くに遮光性の膜が形成され、従来不十分であった側面よりチャネル領域16cに入射する光に対する遮光性が向上し、表示品位を向上することができる。

【0084】

さらに、ドレイン側遮光層41bは、ドレイン領域46bと接続すると同時に、補助容量コンタクトホール40cを通じて第1補助容量電極32とも接続している。これにより、TF Tの下層に設けられた補助容量と接続するためのコンタクトホールが深くなりすぎずにTF Tのドレイン領域36bと接続することができるため、ドライエッチング工程のオーバーエッチングによる、つきぬけやコンタクトの段切れなどの工程不良に対して十分なマージンを取ることが可能となることから、TF T基板の生産性および歩留りの向上に寄与する。

【0085】

図8に示したTF T部を構成する各構成要素の材料、膜厚および形成方法は、上記の例に限られず公知の材料および形成方法を用いることができ、膜厚などのサイズはTF T基板の用途などに応じて適宜変更される。

【0086】

以下、図10から図13を参照しながら、実施形態1による他のTF T基板の構造を説明する。以下の図面において、図8および図9と実質的に同じ構成要素は共通の参照符号で示し、その説明を省略する。

【0087】

図10に実施形態2による他のTF T基板のTF T部の断面構造を模式的に示す。このTF T部は、第1遮光層が有するドレイン側遮光部41bがチャネル領域36cおよびLDD領域36dを覆うように形成されている点で図8に示したTF T部と異なる。

【0088】

図11に実施形態2によるさらに他のTF T基板のTF T部の断面構造を模式的に示す。第1遮光層がゲート電極38上でソース側遮光部41aとドレイン側遮光部41bとに分断されている点で、図8に示したTF T部と異なる。

【0089】

ソース側遮光部 41a とドレイン側遮光部 41b とがそれぞれが LDD 領域 36d とチャンネル領域 36c の一部を覆っている。なお、ソース側遮光部 41a とドレイン側遮光部 41b との間隙はゲート電極 38 上に位置するので、この間隙を通過する光がチャンネル領域 36c または LDD 領域 36d に入射することはない。

【0090】

図 12 に実施形態 2 によるさらに他の TFT 基板の TFT 部の断面構造を模式的に示す。第 1 遮光層は、ソース側遮光層 41a およびドレイン側遮光層 41b に電氣的に接続されていない中間遮光部 41c をさらに有し、中間遮光部 41c は、チャンネル領域 36c および LDD 領域 36d を覆うように配置されている。この中間遮光部 41c は、ソース電極 44a およびドレイン電極 44b と電氣的に独立しているので、例えば、画素領域の外部より一定の電圧を印加することができる。チャンネル領域 36c (ゲート電極 38) 上に形成される中間遮光部 41c を一定電圧に維持することによって、チャンネル領域 36c (ゲート電極 38) 上に形成される中間遮光部 41c を一定電圧に維持することによって、半導体層 (ポリシリコン層) にかかる電圧 (電位) を安定化することができるため、TFT 特性が安定になるとともに、中間遮光部 41c の電位によって LDD 領域を流れる電流を多くして、TFT のオン電流を増加させることもできるという利点を得られる。

【0091】

図 13 に実施形態 2 によるさらに他の TFT 基板の TFT 部の断面構造を模式的に示す。この TFT 部においては、第 2 ソースコンタクトホール 43a および第 2 ドレインコンタクトホール 43b を、それぞれ、第 1 ソースコンタクトホール 40a および第 1 ドレインコンタクトホール 40b と重なる位置に形成されている。すなわち、基板の法線方向から見たときに、お互いに重なるように形成されている。

【0092】

このようにコンタクトホールを配置することによって、コンタクトを形成する

ために必要な領域を小さくすることができ、画素開口率を向上することができる。

【0093】

なお、コンタクトホールを重ねる配置は、図13に示した構成に限られず、図10から図12に示した何れの構成に適用しても同じ効果が得られる。

【0094】

【発明の効果】

本発明によると、画素ごとに補助容量を備えたアクティブマトリクス型表示装置において、開口率の低下を抑制しつつ、半導体層に入射する光が効果的に遮光されたアクティブマトリクス型表示装置およびそれに用いられるアクティブマトリクス基板が提供される。

【0095】

本発明によると、高開口率、高精細でかつ耐光性に優れたアクティブマトリクス基板を高い生産性で製造することができるので、特に、プロジェクション型表示装置に好適に適用される。

【図面の簡単な説明】

【図1】

本発明の実施形態1によるTF T基板のTF T部10の構造を模式的に示す断面図である。

【図2】

(a)～(d)は、本発明の実施形態1によるTF T基板のTF T部10の製造工程を説明するための断面図である。

【図3】

(a)～(d)は、本発明の実施形態1によるTF T基板のTF T部10の製造工程を説明するための平面図である。

【図4】

本発明の実施形態1による他のTF T基板のTF T部の構造を模式的に示す断面図である。

【図5】

本発明の実施形態 1 によるさらに他の T F T 基板の T F T 部の構造を模式的に示す断面図である。

【図 6】

本発明の実施形態 1 によるさらに他の T F T 基板の T F T 部の構造を模式的に示す断面図である。

【図 7】

本発明の実施形態 1 によるさらに他の T F T 基板の T F T 部の構造を模式的に示す断面図である。

【図 8】

本発明の実施形態 2 による T F T 基板の T F T 部の構造を模式的に示す断面図である。

【図 9】

(a) ~ (d) は、本発明の実施形態 2 による T F T 基板の T F T 部の製造工程を説明するための断面図である。

【図 10】

本発明の実施形態 2 による他の T F T 基板の T F T 部の構造を模式的に示す断面図である。

【図 11】

本発明の実施形態 2 によるさらに他の T F T 基板の T F T 部の構造を模式的に示す断面図である。

【図 12】

本発明の実施形態 2 によるさらに他の T F T 基板の T F T 部の構造を模式的に示す断面図である。

【図 13】

本発明の実施形態 2 によるさらに他の T F T 基板の T F T 部の構造を模式的に示す断面図である。

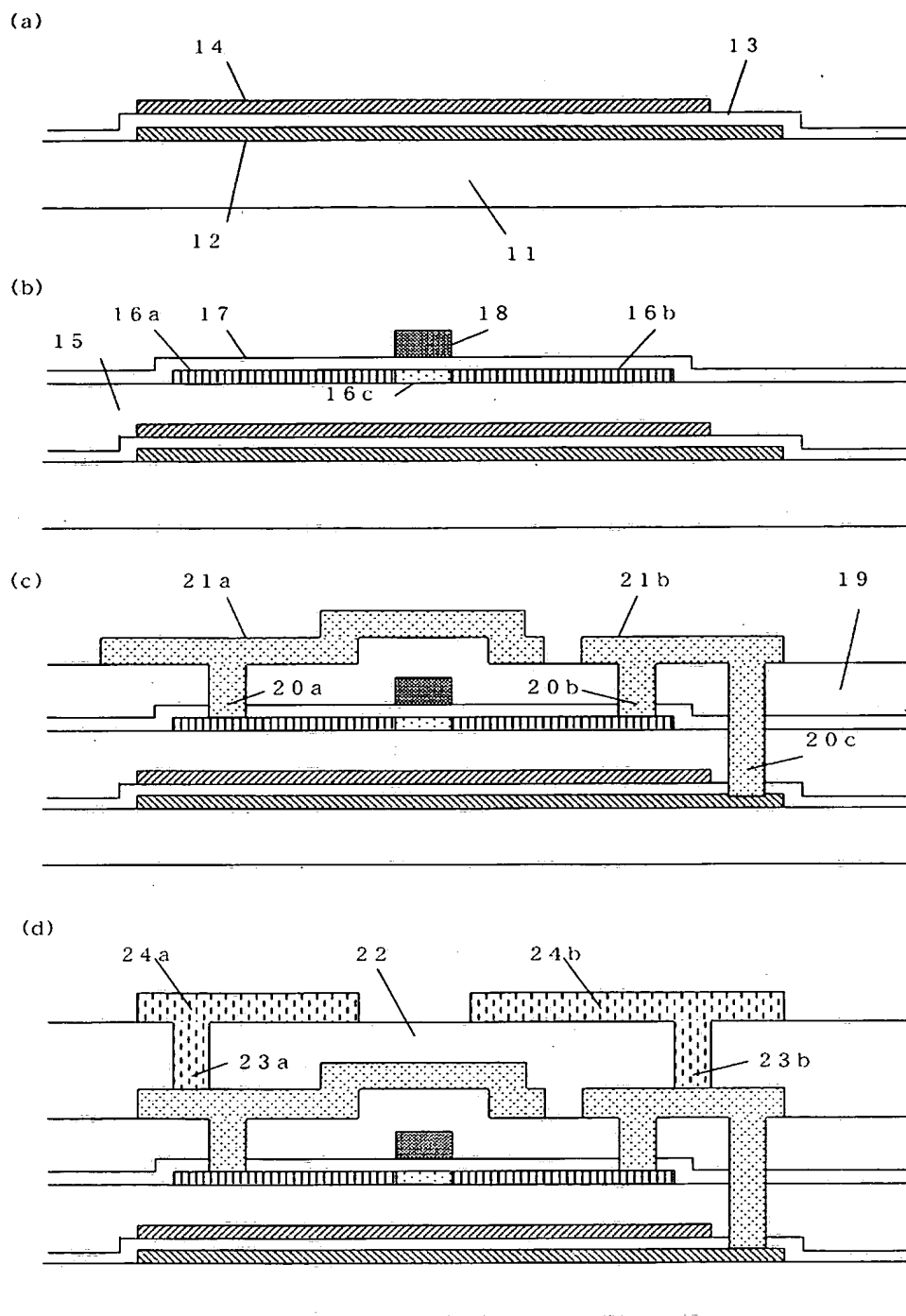
【符号の説明】

10 T F T 部 (半導体素子部)

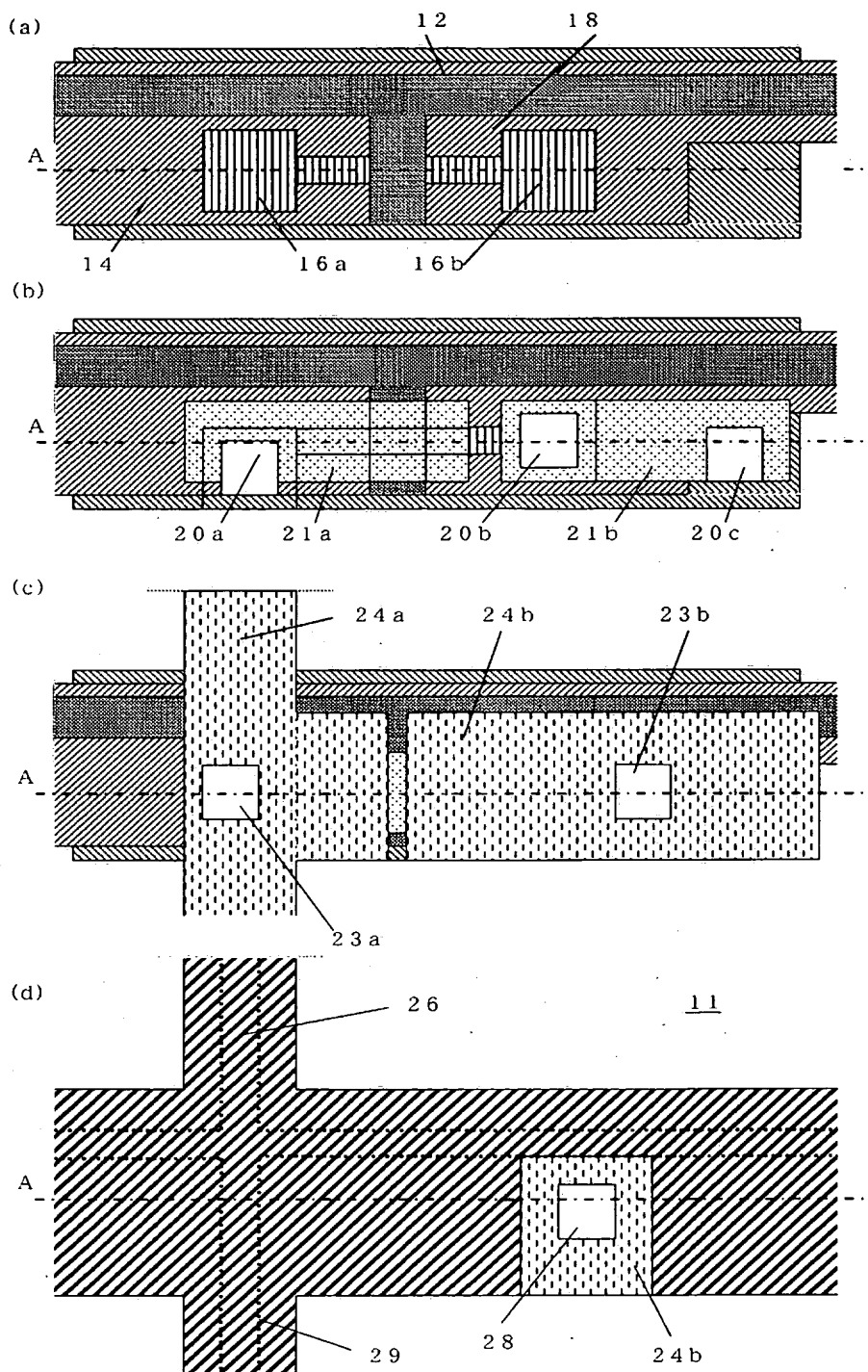
11, 31 透明基板

- 12, 22 第1補助容量電極
- 13, 33 補助容量誘電体層
- 14, 34 第2補助容量電極
- 15, 53 第1絶縁層
- 16, 36 結晶質シリコン膜
- 16a, 36a ソース領域
- 16b, 36b ドレイン領域
- 16c, 36c チャネル領域
- 17, 37 ゲート絶縁層 (ゲート酸化膜)
- 18, 38 ゲート電極
- 19, 39 第2絶縁層
- 20a, 40a 第1ソースコンタクトホール
- 20b, 40b 第1ドレインコンタクトホール
- 20c, 40c 補助容量コンタクトホール
- 21a, 41a ソース側遮光層
- 21b, 41b ドレイン側遮光層
- 21c, 41c 中間遮光部
- 22, 42 第3絶縁層
- 23a, 43a 第2ソースコンタクトホール
- 23b, 43b 第2ドレインコンタクトホール
- 24a, 44a ソース電極
- 24b, 44b ドレイン電極
- 25, 45 第5絶縁層
- 26, 46 上部遮光層
- 27, 47 第4絶縁層
- 28, 48 画素電極コンタクトホール
- 29, 49 画素電極
- 36d LDD領域

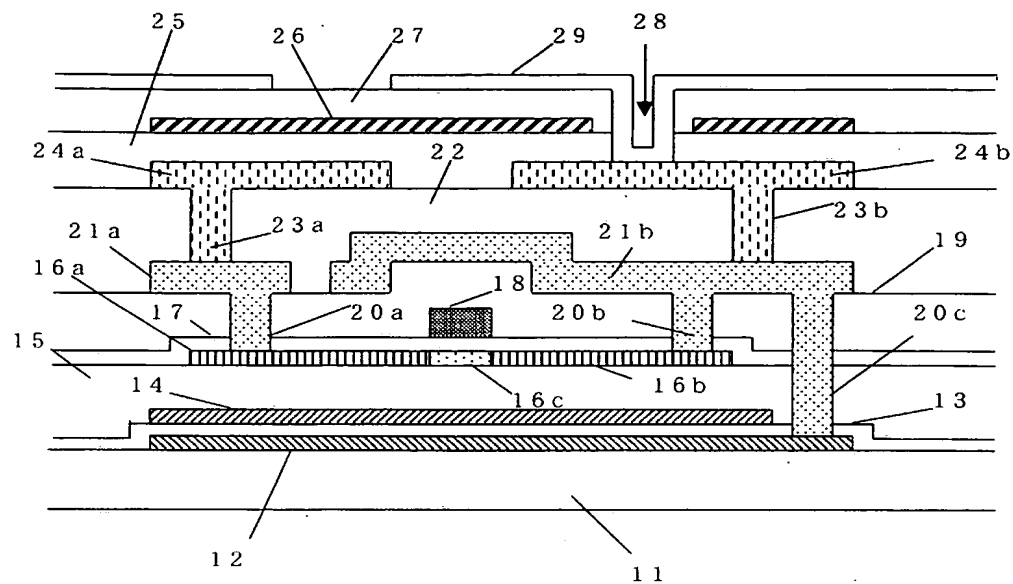
【図 2】



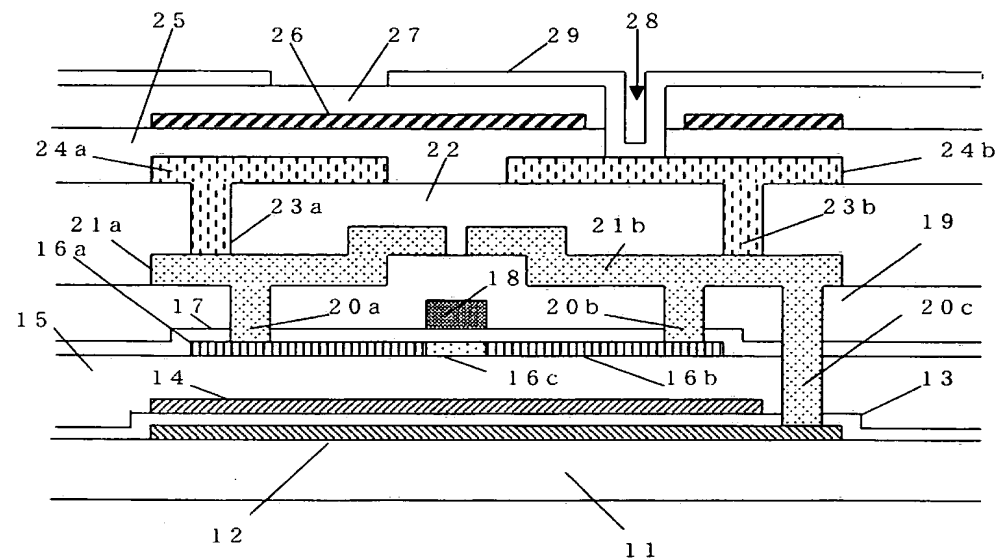
【図 3】



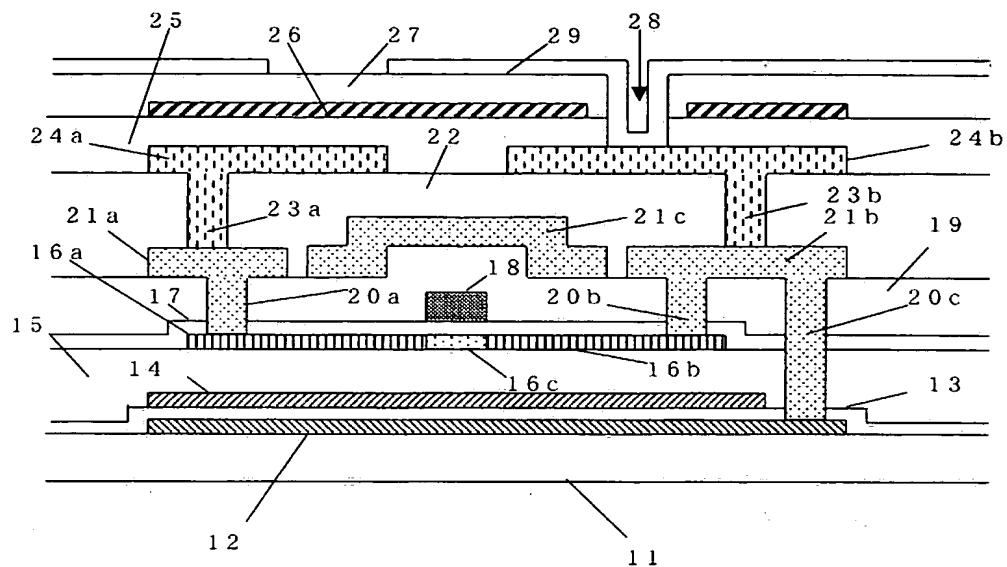
【図 4】



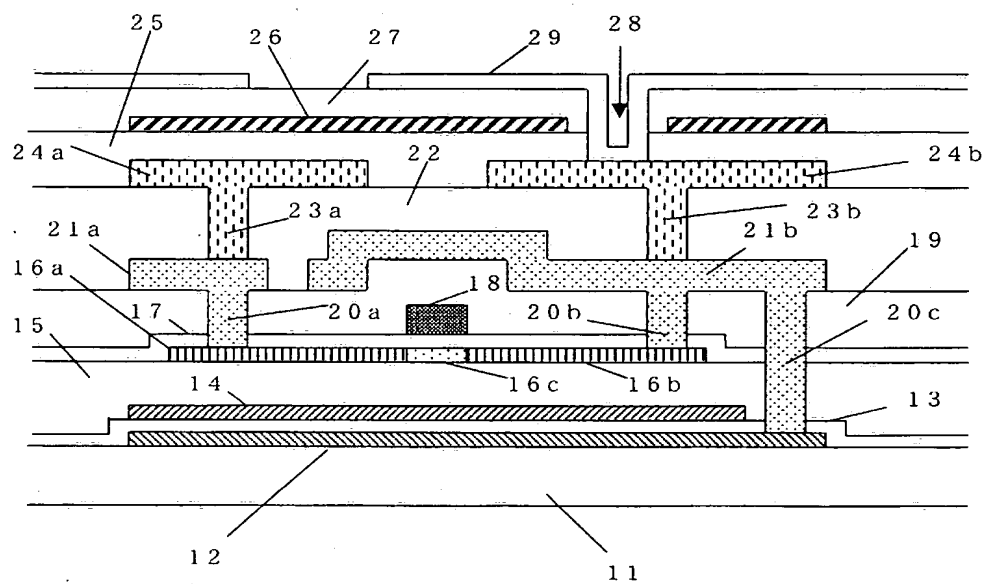
【図 5】



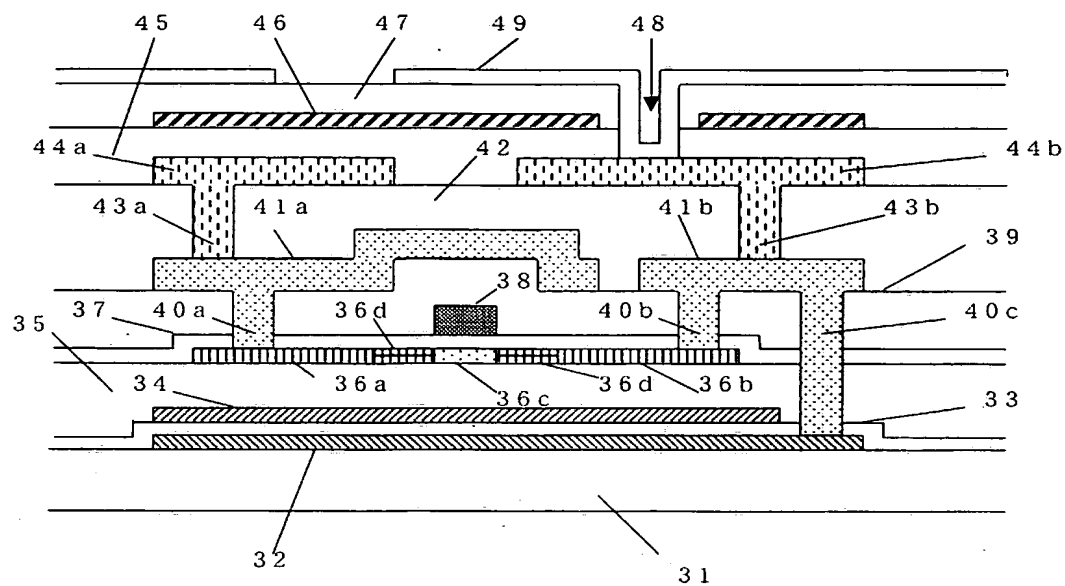
【図 6】



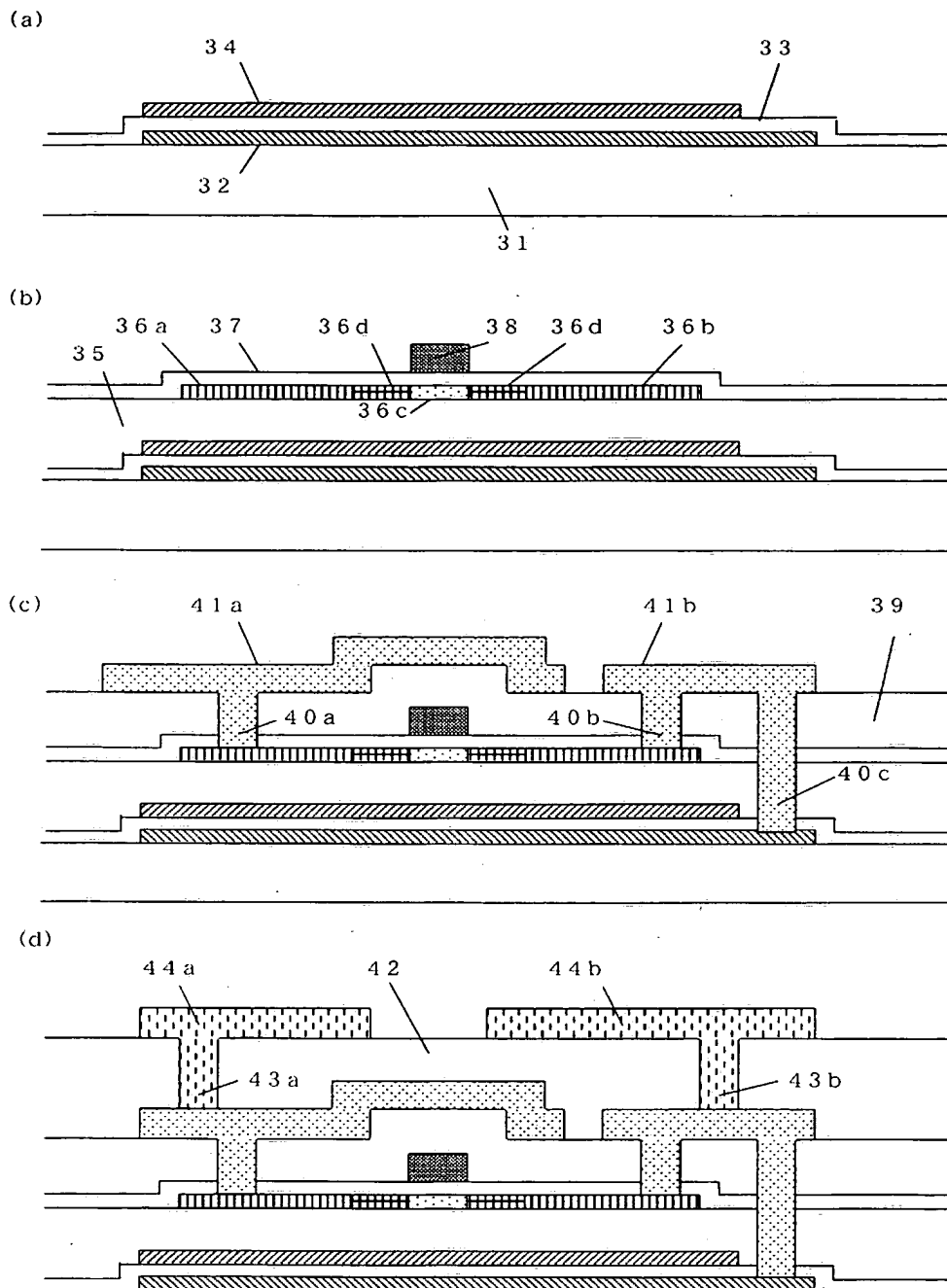
【図 7】



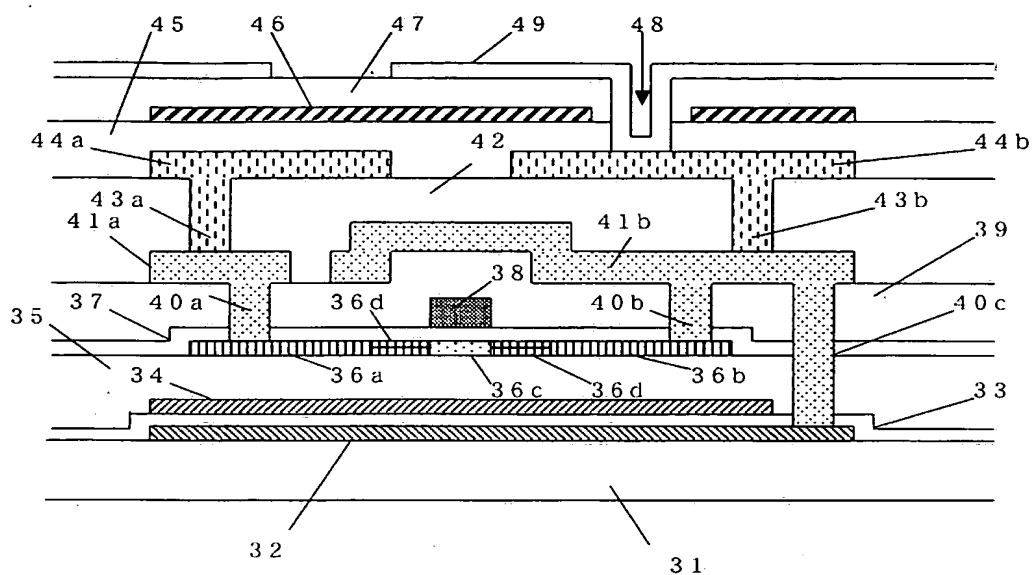
【図 8】



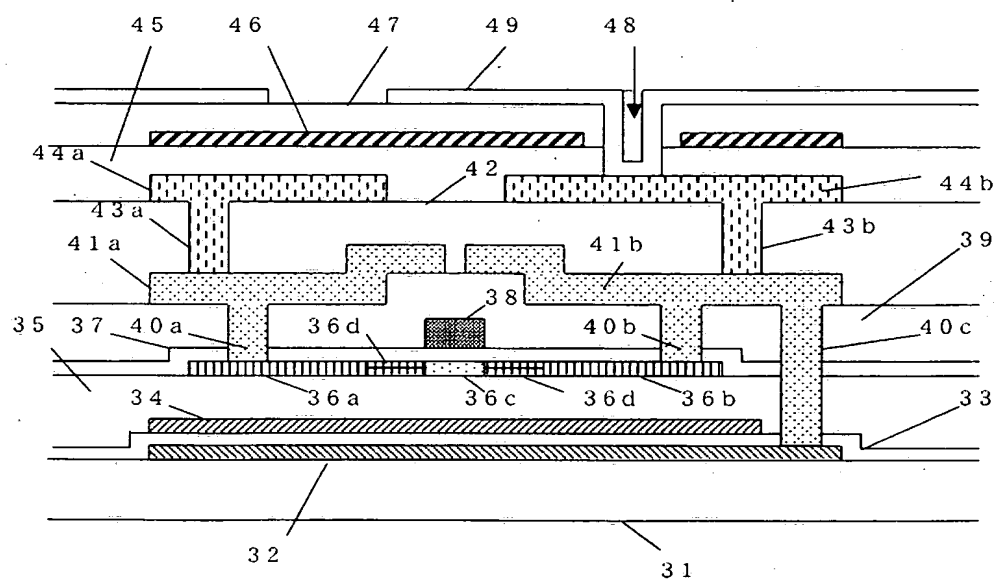
【図 9】



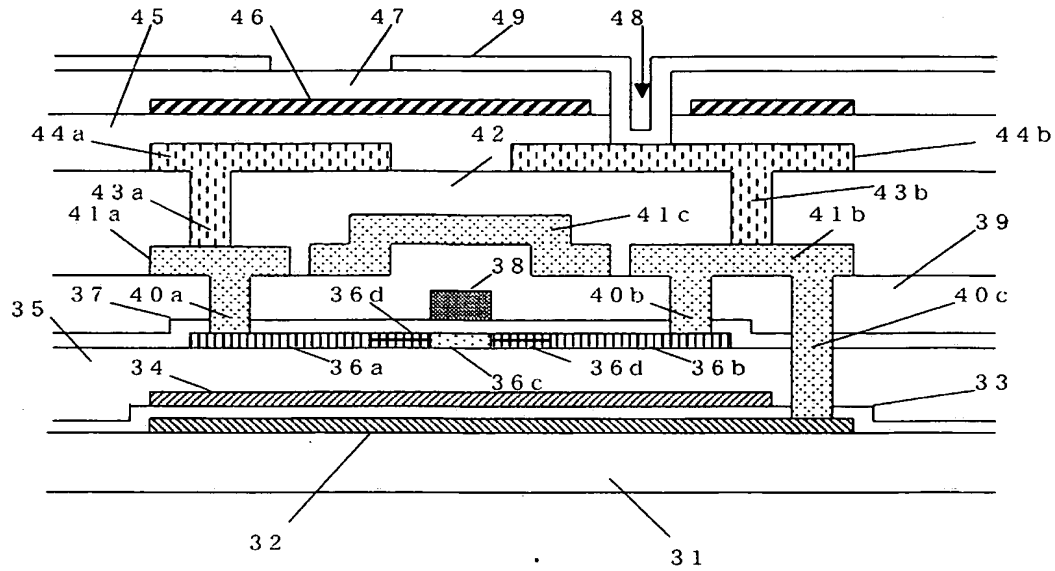
【図 10】



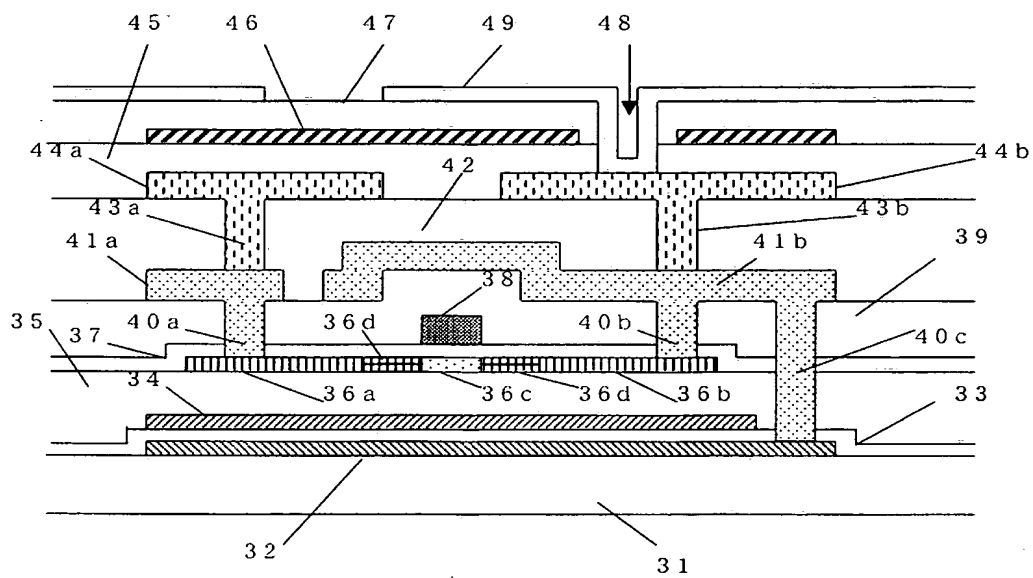
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 画素ごとに補助容量を備えたアクティブマトリクス型表示装置において、開口率の低下を抑制しつつ、半導体層に入射する光が効果的に遮光されたアクティブマトリクス型表示装置を提供する。

【解決手段】 半導体素子部 10 は、基板 11 上に形成された補助容量と、補助容量上に形成された第 1 絶縁層 15 と、第 1 絶縁層 15 を介して補助容量上に形成された半導体層 16 と、半導体層 16 上に形成されたゲート絶縁層 17 と、ゲート絶縁層 17 を介して半導体層 16 上に形成されたゲート電極 18 を含むゲート電極層と、ゲート電極層および半導体層を覆う第 2 絶縁層 19 と、第 2 絶縁層 19 を介して半導体層 16 上に形成され少なくとも半導体層のチャネル領域 16c を覆う第 1 遮光層 21a、21b と、第 1 遮光層上に形成された第 3 絶縁層 22 と、第 3 絶縁層 22 上に形成されたソース電極 24a およびドレイン電極 24b を含むソース電極層と、ソース電極層上に形成された第 4 絶縁層 25 と、第 4 絶縁層 25 上に形成されドレイン電極 24b に電氣的に接続された画素電極 29 とを備える。第 1 遮光層 21a、21b は導電性を有し、補助容量を構成する一対の電極の一方 12 と電氣的に接続されるとともに、ドレイン電極 24b と電氣的に接続されたドレイン側遮光部 21b を有する。

【選択図】 図 1

特願 2002-318514

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社